

⑫ 公開特許公報(A)

昭63-116190

⑬ Int. Cl.⁴G 09 F 9/30
G 02 F 1/133

識別記号

3 3 8
3 2 7

庁内整理番号

K-6866-5C
7370-2H

⑭ 公開 昭和63年(1988)5月20日

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 アクティブマトリクスパネル

⑯ 特 願 昭61-263278

⑰ 出 願 昭61(1986)11月5日

⑱ 発 明 者 松 枝 洋 二 郎 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
会社内
⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社
⑳ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1. 発明の名称

アクティブマトリクスパネル

2. 特許請求の範囲

(1) 半導体または絶縁物から成る基板上に設けられた、走査線群、データ線群、前記走査線を駆動するYドライバー集積回路、及び前記データ線を駆動するXドライバー集積回路、及び前記走査線とデータ線の交点に設けられたトランジスタアレイによつて液晶を駆動して成るドライバー内蔵アクティブマトリクスパネルにおいて、薄膜のスイッチング素子の1次元アレイを備え、前記スイッチング素子の1つの電極はそれぞれ前記走査線または前記データ線に接続され、他の少なくとも1つの電極が共通電極に接続されていることを特徴とするアクティブマトリクスパネル。

(2) a) Xドライバーの各出力に配列されたスイッチング素子と、前記スイッチング素子を制御する

配線と、前記スイッチング素子の信号を取り出す配線とからなるXドライバー出力チェック回路。

b) Yドライバーの各出力に配列され、Yドライバーによつて制御されるスイッチング素子と、前記スイッチング素子に信号を送る配線と、前記スイッチング素子の信号を取り出す配線とからなるYドライバー出力チェック回路を備えていることを特徴とする特許請求の範囲第1項記載のアクティブマトリクスパネル。

(3) a) XまたはYドライバーの各出力に配列されたダイオードアレイ。

b) 前記ダイオードアレイの信号を取り出す配線。

(4) 基板に絶縁物を用い、前記スイッチング素子を薄膜トランジスタで構成したことを特徴とする特許請求の範囲第1項または第2項記載のアクティブマトリクスパネル。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はアクティブマトリクスパネルに関する。

特にドライバーを検査する手段を備えたドライバー内蔵アクティブマトリクスパネルに関する。

〔従来の技術〕

従来のドライバー内蔵アクティブマトリクスパネルの例としては、反射型では「SID(エス・アイ・ディー)82ダイジエストP.48-49山崎他」、また透過型では「SID(エス・アイ・ディー)84ダイジエストP.316岡角他」などがある。

第2図はMOSFETを用いたドライバー内蔵アクティブマトリクスパネルの回路図の例である。81は画素エリアであり、データ線56, 57, 58, 走査線39, 40, 41、及びそれらの交点に設けられた画素トランジスタ48, 49, 50とから成る。画素トランジスタにはそれぞれ画素電極がついており、対向電極54との間の液晶の容量が51, 52, 53である。52はデータ線56, 57, 58を駆動するXドライバー、53は走査線39, 40, 41を駆動するYドライバーである。

ることを特徴とするドライバー内蔵アクティブマトリクスパネル。

〔作用〕

本発明の上記の構成を用いたドライバー内蔵アクティブマトリクスパネルは、ドライバーを動作させると、ドライバーの全出力の信号を共通電極から取り出すことができる。従つてパネル組立てをしなくても、基板状態で簡単にドライバーの検査ができる。

〔実施例1〕

第1図は本発明の1実施例を示す、ドライバーとその出力チェック回路を内蔵したアクティブマトリクスパネルの回路図である。このパネルは画素エリア1と、Xドライバー2とその出力チェック回路4、そしてYドライバー3とその出力チェック回路5とから成っている。画素エリアは、データ線6, 7, 8と走査線9, 10, 11、及びこれらの交点に配置された画素トランジスタ18, 19, 20とから成る。画素トランジスタにはそれぞれ画素電極がついており、対向電極24との

〔発明が解決しようとする問題点〕

しかし前述の従来技術では以下に述べるような問題点を生じる。すなわち、内蔵ドライバーの全出力が正常であるかどうかは、パネル状態にしてみなければわからないという問題点である。基板状態で検査するには、プローブカードでドライバーの全出力の信号を取り出す方法があるが、1度に数百〜数千のバッドに針を当てるのは極めて困難である。

そこで本発明はこのような問題点を解決するものであり、その目的とするところは、基板状態で簡単にドライバーの出力をチェックできる回路を備えたドライバー内蔵アクティブマトリクスパネルの実現にある。

〔問題点を解決するための手段〕

本発明のドライバー内蔵アクティブマトリクスパネルは、薄膜のスイッチング素子の1次元アレイを備え、前記スイッチング素子の1つの電極はそれぞれ走査線またはデータ線に接続され、他の少なくとも1つの電極が共通電極に接続されてい

間に液晶を介した容量21, 22, 23を形成している。Xドライバー2はデータ線6, 7, 8を順次選択し、画像データを書き込む働きを持つ。一方、Xドライバー出力チェック回路4は、スイッチング素子12, 13, 14とその制御入力25及び出力26とから成っている。スイッチング素子をすべて閉じさせるような入力信号を25に入れた状態でXドライバーを動作させると、画像データ1行分の信号が出力26から取り出せる。もし、この信号に非連続点や電圧レベルに異常な点があれば、そのタイミングに応じた列の動作が不良であることがわかる。Yドライバー3も走査線9, 10, 11を順次選択するが、ドライバーの出力がハイとローの2値であるので、この信号で制御されるようなスイッチング素子15, 16, 17とその入出力27, 28とでYドライバーチェック回路を構成する。この場合、Yドライバーが動作している間はチェック回路も動作するが、走査線同志がショートするようにはないためパネルの動作に影響は与えない。Y側をチェック

する場合に入力27に適当な信号を入れ、出力28からそれと同じ信号が取り出されることを確認すればよい。

次に、出力チェック回路の構成例をあげ、具体的な検査方法を説明する。第5図はXドライバー出力チェック回路の回路図である。61は画素アレイ部、62はXドライバー、63はYドライバーである。XドライバーはCMOSのクロックドインバータを用いたシフトレジスタと、その出力64、65、66、67のタイミングに応じてビデオ信号VIDからデータ線72、73、74、75にデータを書き込むアナログスイッチ68、69、70、71とから成る。Xドライバー出力チェック回路は、Nチャネルのトランジスタ76、77、78、79と3本の配線TX1、TX2、CXとから成る。Xドライバー内のシフトレジスタ部の検査は、スタートパルスXSPが所定の段数分だけ遅れたタイミングでエンドパルスXEPに出力していることを確認すればよい。シフトレジスタが正常に動作していた場合、Xドライバー出力

87、88、89と2本の配線TY、CYとから成る。第6図は第5図の各部の電圧波形である。YSP、φYはYドライバーのスタートパルスとクロック、(a)、(b)、(c)は走査線84、85、86の信号に対応する。シフトレジスタ部の検査はX側と同様エンドパルスYEPで確認できる。走査線の信号レベルはハイとローの2値しかないため、走査線が選択されるのと同時にトランジスタ87、88、89もONする。たとえばTYに(d)のような信号を入れるとCYには(e)のような信号が表われる。この波形が規則正しければビット不良はないということになる。

〔実施例2〕

第7図は本発明の第2の実施例を要するXドライバー出力チェック回路の回路図である。101は画素エリア、102はXドライバー、103はXドライバー出力チェック回路である。第1の実施例と異なるのはCMOSのトランジスタを用いている点であり、TXHをハイ、TXLをローにしておけば広い電圧範囲のビデオ信号に対して出

力チェック回路を用いてビット不良がないかを検査する。その方法を第4図を用いて説明する。同図XSP、φXはそれぞれシフトレジスタのスタートパルスとクロックの電圧波形である。(a)、(b)、(c)、(d)はシフトレジスタの各段の出力64～67の電圧波形である。TX1をハイ、TX2をローレベルにして、VIDに(f)のような信号を入れると、奇数列のデータ線の信号がCXに(g)のような形で表われる。逆にTX1をロー、TX2をハイレベルにして、VIDに(h)のような信号を入れると、偶数列のデータ線の信号がCXに(h)のような形で表われる。この時、(g)及び(h)の電圧波形が規則正しければビット不良はないということになる。もし不規則な点があれば、そのタイミングから不良の番地がわかる。

第5図はYドライバー出力チェック回路の回路図である。81は画素エリア部、82はXドライバー、83はYドライバーである。Yドライバー出力チェック回路はNチャネルのトランジスタ

力をチェックできる。Xドライバーの出力バッファがCMOSで構成されている場合などには、本実施例を用いる方がよい。

〔実施例3〕

第8図は本発明の第3の実施例を表わすドライバー内蔵アクティブマトリクスパネルの回路図である。111は画素エリア、112はXドライバー、113はYドライバー、114はXドライバー出力チェック回路、115はYドライバー出力チェック回路である。本実施例の特徴は出力チェック回路をダイオードのアレイで構成したところにある。トランジスタに比べて配線も減り、回路のしめる面積も減少するという長所を持つている。

〔実施例4〕

第9図は本発明の第4の実施例を示すドライバー内蔵アクティブマトリクスパネルの回路図である。本実施例の特徴はドライバーを対称に配置し、1本の走査線あるいはデータ線をそれぞれ2つのドライバーで駆動できるように冗長性を持たせたところである。すなわち、本実施例においてはド

ライバーの出力不良があつても、同じ番地の反対側のドライバーが正常であれば、不良箇所をレーザーリペア等で切断すれば良品となる。本実施例ではこのように修正が可能となるため歩留まりは大幅に向上する。121は画素エリア、122, 123が上下のXドライバー、126, 127が上下のXドライバー出力チェック回路、124, 125が左右のYドライバー、126, 127が左右のYドライバー出力チェック回路であり上下、左右のドライバーとチェック回路が対称に配置されている。また本実施例においては画素エリアの上下、左右にチェック回路を設けているため、画素エリア内の断線、ショートもチェックすることができ、信号のタイミングからその番地を割り出すこともできる。

〔発明の効果〕

以上述べたように、本発明のドライバー内蔵アクティブマトリクスパネルは、パネル組み立て以前に基板の状態で効率よく検査ができるため、作業時間の短縮、製品のコストダウンが可能となる。

第3図はXドライバー出力チェック回路の回路図。

第4図は、第3図の各部の電圧波形を示す図。

第5図はYドライバー出力チェック回路の回路図。

第6図は、第5図の各部の電圧波形を示す図。

第7図はXドライバー出力チェック回路の回路図。

第8図、第9図はドライバー内蔵アクティブマトリクスパネルの回路図。

4, 103, 114, 126, 127……Xドライバー出力チェック回路

5, 115, 128, 129……Yドライバー出力チェック回路

以上

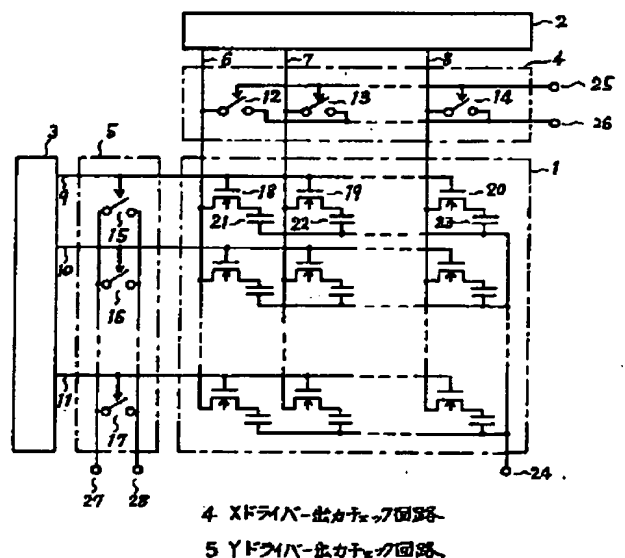
また冗長性がある場合には、修正することもでき、歩留まりが大幅に向上する。すなわち、より層のコストダウンも可能となる。特にドライバーのビット不良に関しては両側のドライバーが同時に不良となる確率は極めて少なく、ほとんどが修正できる。

また、本発明のドライバー内蔵アクティブマトリクスパネルはドライバーのチェックだけでなく、画素エリアの不良箇所を調べることができる。たとえば、データ線と走査線がショートしていればチェック回路の出力タイミングから一意的に番地を求めることができる。また、画素エリアの両側に出力チェック回路を備えていれば、走査線およびデータ線に断線がないかも調べることができる。

4. 図面の簡単な説明

第1図はドライバー内蔵アクティブマトリクスパネルの回路図。

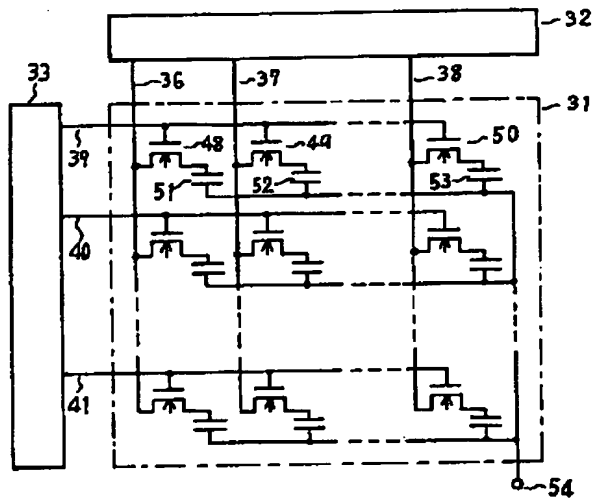
第2図は従来のドライバー内蔵アクティブマトリクスパネルの回路図。



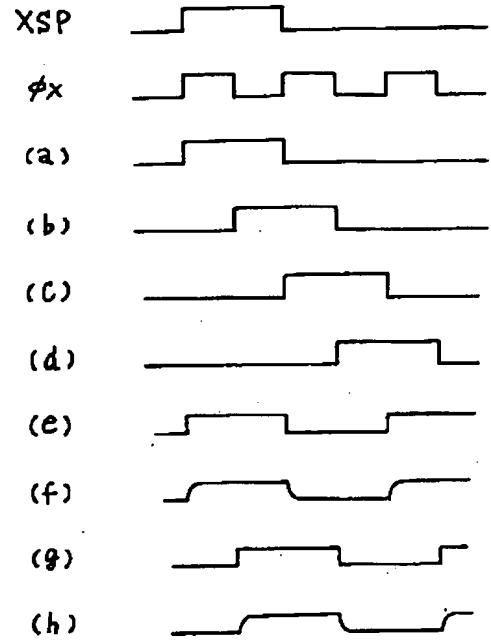
第1図

出願人 セイコーエプソン株式会社
代理人弁理士 最上 務 他1名

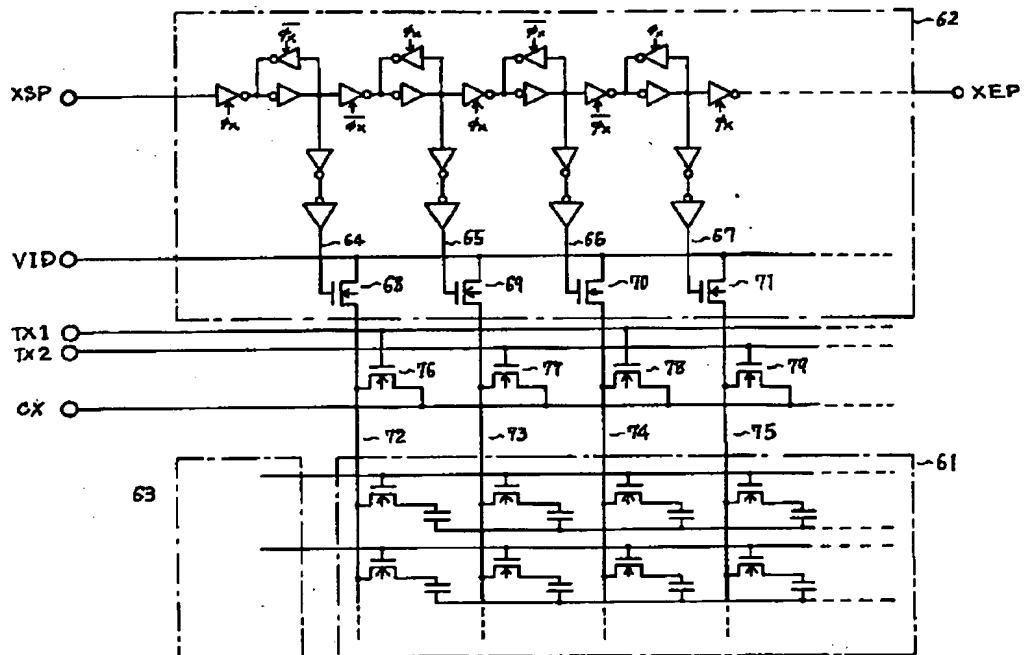




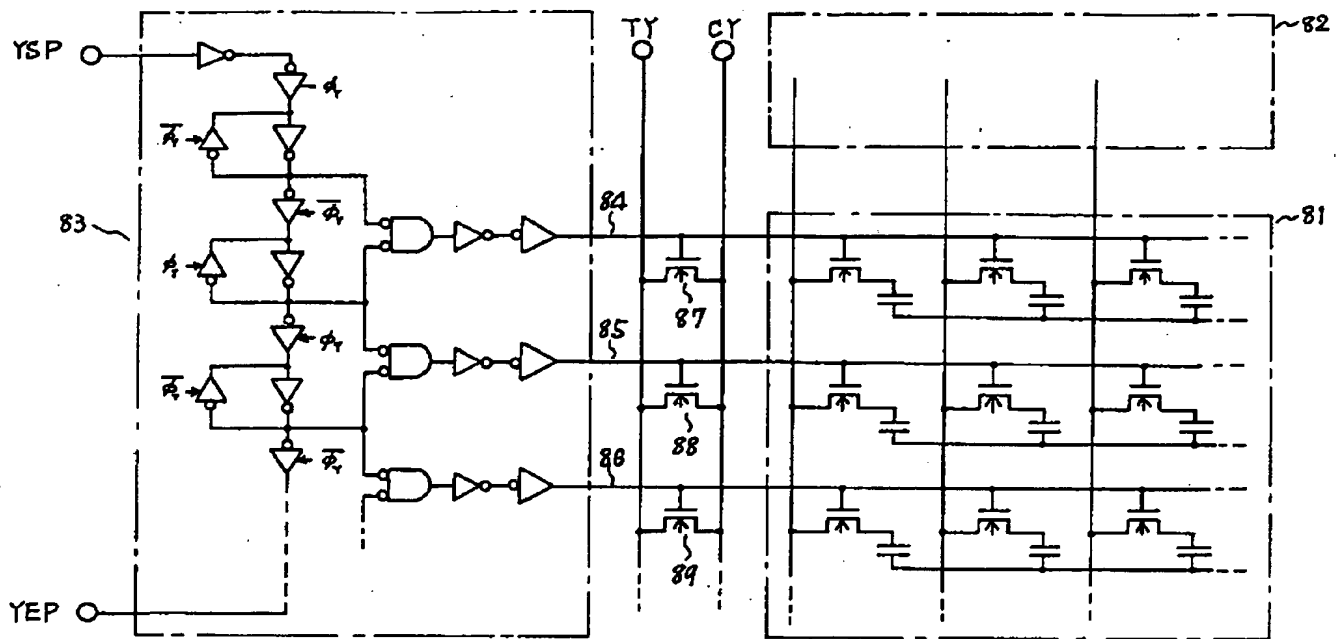
第 2 図



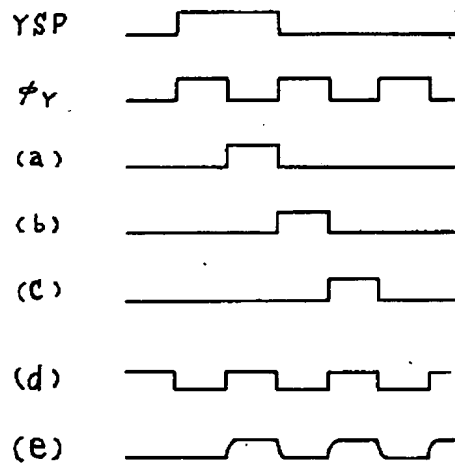
第 4 図



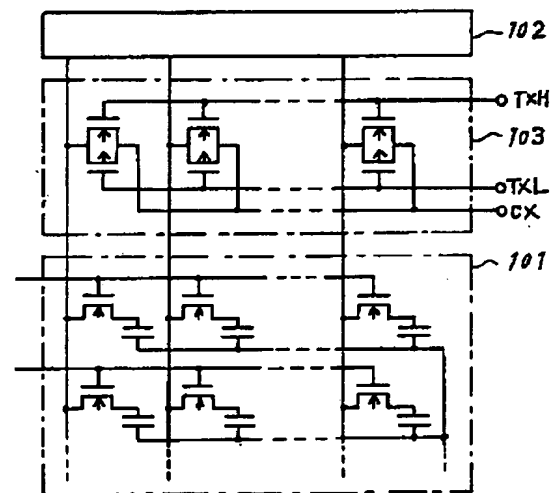
第 3 図



第 5 図

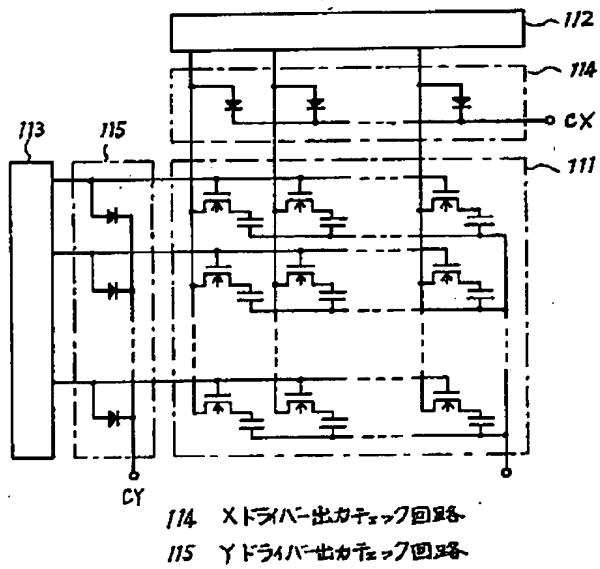


第 6 図

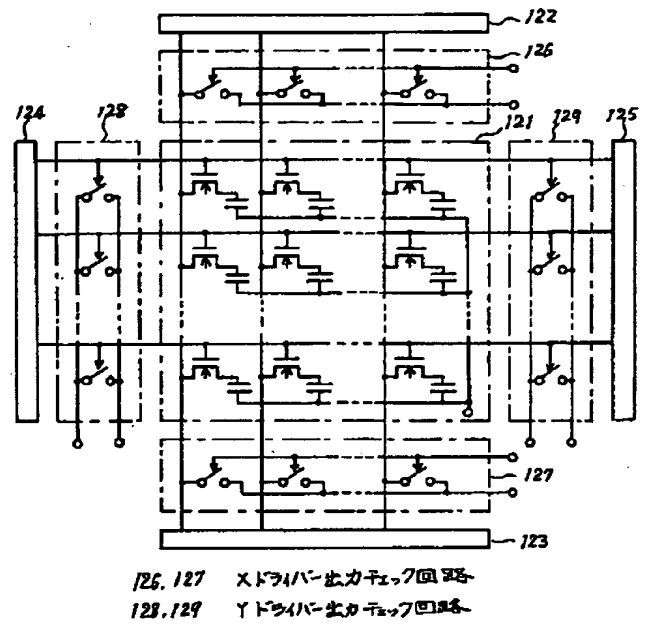


103 Xドライバー出カチェック回路

第 7 図



第 8 図



第 9 図

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成6年(1994)2月18日

【公開番号】特開昭63-116190

【公開日】昭和63年(1988)5月20日

【年通号数】公開特許公報63-1162

【出願番号】特願昭61-263278

【国際特許分類第5版】

G02F 1/136 500 9018-2K

H01L 29/784

【FI】

H01L 29/78 311 A 9056-4M

手続補正書 (自発)

平成 5 年 3 月 11 日

特許庁長官 麻 生 渡 殿

1. 事件の表示

昭和 61 年 特 許 願第 263278 号

2. 発明の名称

アクティブマトリクスパネル

3. 補正する者

事件との関係 出願人

東京都新宿区西新宿2丁目4番1号

(236) セイコーエプソン株式会社

代表取締役 安 川 英 昭

4. 代 理 人

〒163 東京都新宿区西新宿2丁目4番1号

セイコーエプソン株式会社内

(9338) 弁理士 鈴木 喜三郎

連絡先 電話3348-8531 内線2610~2615



5. 補正により増加する発明の数

0

6. 補正の対象

明細書(特許請求の範囲、発明の詳細な説明)

7. 補正の内容

別 紙 の 通 り

手 続 補 正 書

1. 特許請求の範囲を別紙の通り補正する。

2. 明細書第3頁10行目

「開いた」とあるを

「用いた」と補正する。

以 上

代理人 鈴木喜三郎

特許請求の範囲

基板上にマトリクス状に配列された画素電極、該画素電極に接続されてなるスイッチングトランジスタ、該トランジスタのソース電極にデータ信号を供給してなるデータ線、該トランジスタのゲート電極に走査信号を供給してなる走査線を有してなるアクティブマトリクスパネルにおいて、

該基板には該データ線を駆動してなるデータ線駆動回路および該走査線を駆動してなる走査線駆動回路を内蔵してなり、

該スイッチングトランジスタと該データ線駆動回路または該走査線駆動回路との間には、該データ線駆動回路または該走査線駆動回路の出力をチェックする出力チェック回路を有してなり、

該出力チェック回路は該データ線または走査線に接続された検査素子と、検査素子に検査信号を入力する入力端子と、検査素子からの検査結果を出力する出力端子を有し、該検査素子は入力される検査信号に対して、該データ線駆動回路または

該走査線駆動回路の出力が正常または異常であることを知らせる出力信号を出力してなることを特徴とするアクティブマトリクスパネル。

[Means for Solving the Problem]

A driver built-in type active matrix panel of the present invention is characterized by comprising a one-dimensional array of thin film switching elements, one electrode of each of said switching elements being connected to a scan line or a data line while at least one of the other electrodes being connected to a common electrode.

[Operation]

In the driver built-in type active matrix panel of the present invention, which has the above feature, when the driver is put in operation, all output signals of the driver can be taken out through the common electrode. Thus, before assembling the panel, the driver can easily be checked in the state of substrate.

[Embodiment 1]

Fig. 1 shows an embodiment of the present invention. It shows a circuit diagram of an active matrix panel in which drivers and output check circuits for them are incorporated. This panel comprises a pixel area 1, an X driver 2 with an output check circuit 4 for it, and a Y driver 3 with an output check circuit 5 for it. The pixel area comprises data lines 6, 7, and 8, scan lines 9, 10, and 11, and pixel transistors 18, 19, and 20 disposed

at intersections of those lines. The pixel transistors each have a pixel electrode and make capacitances 21, 22, and 23 with an opposite electrode 24 through liquid crystal. The X driver 2 has a function of selecting, in order, the data lines 6, 7, and 8 to write image data. The X driver output check circuit 4 comprises switching elements 12, 13, and 14 with their control input 25 and output 26. When the X driver is put in operation with an input signal being input through the terminal 25 such that all switching elements are closed, a signal corresponding to one line of image data can be taken out through the output 26. If this signal includes a discontinuity point or its voltage level includes an abnormal point, it is found that the operation of the line corresponding to that timing is defective. The Y driver 3 also selects the scan lines 9, 10, and 11 in order but the output of the driver is binary of "high" and "low". Thus the Y driver check circuit is made up from switching elements 15, 16, and 17 controlled with the signal, and their input and output 27 and 26. In this case, though the check circuit operates during the Y driver being in operation, it does not affect the panel operation because scan lines are never short-circuited. To check the Y side, a proper signal is input through the input terminal 27 and it is confirmed that the same signal as the input signal is taken out through the output terminal 28.

Next, using examples of construction of the output check circuits, specific check processes will be described. Fig. 3 shows a circuit diagram of an X driver output check circuit. Reference numeral 61 denotes a pixel array section, 62 does an X driver, and 63 does a Y driver. The X driver is made up from shift registers each comprising a CMOS clocked inverter, and analogue switches 68, 69, 70, and 71 for write data from a video signal VID to data lines 72, 73, 74, and 75 in accordance with the timings of the outputs 64, 65, 66, and 67 of the shift registers. The X driver output check circuit is made up from N-channel transistors 76, 77, 78, and 79 and three lines TX₁, TX₂, and CX. To check the shift register section in the X driver, it is confirmed that the start pulse XSP appears at the end pulse XEP terminal at the timing delayed by a predetermined number. When the shift register is in normal operation, the presence/absence of a bit error is checked using the X driver output check circuit. The method for this will be described with reference to Fig. 4. In the drawing, XSP and ϕ X show the voltage waveforms of the start pulse and the clock of the shift register, respectively. Items (a), (b), (c), and (d) show the voltage waveforms of the outputs 64 to 67 at certain stages of the shift register. When TX₁ and TX₂ are set at the high and low levels, respectively, and a signal as shown by (e) is applied to VID, a signal caused by the odd data lines appears at CX in the

form of (f). Inversely, when TX₁ and TX₂ are set at the low and high levels, respectively, and a signal as shown by (g) is applied to VID, a signal caused by the even data lines appears at CX in the form of (h). In this case, if the voltage waveforms of (f) and (h) are regular, it is found that there is no bit error. If the voltage waveforms include an irregular point, the address of the error is known from that timing.

Fig. 5 shows a circuit diagram of a Y driver output check circuit. Reference numeral 81 denotes a pixel array section, 82 does an X driver, and 83 does a Y driver. The Y driver output check circuit is made up from N-channel transistors 87, 88, and 89 and two lines TY and CY. Fig. 6 shows voltage waveforms at certain portions in Fig. 5. Items YSP and ϕY correspond to the start pulse and the clock of the Y driver, and (a), (b), and (c) correspond to the signals on the scan lines 84, 85, and 86. Check of the shift register section can be performed by confirmation at the end pulse YEP terminal, like the X side. Because the signals on the scan lines can have only two values of "high" and "low", the transistors 87, 88, and 89 are turned on simultaneously with selection of the scan lines. For example, when a signal as shown by (d) is applied to TY, a signal as shown by (e) appears at CY. If its waveform is regular, it is found that there is no bit error.

[Embodiment 2]

Fig. 7 shows a circuit diagram of an X driver output check circuit according to the second embodiment of the present invention. Reference numeral 101 denotes a pixel area, 102 does an X driver, and 103 does the X driver output check circuit. This embodiment differs from the first embodiment in the feature that CMOS transistors are used. If TXH and TXL are kept at "high" and "low", respectively, output check can be performed in relation to video signals in a broader voltage range. When the output buffer of the X driver is made up from CMOSs or the like, this embodiment is preferably used.

[Embodiment 3]

Fig. 8 shows a circuit diagram of a driver built-in type active matrix panel according to the third embodiment of the present invention. Reference numeral 111 denotes a pixel area, 112 does an X driver, 113 denotes a Y driver, 114 does an X driver output check circuit, and 115 does a Y driver output check circuit. A characteristic feature of this embodiment is that each output check circuit is made of an array of diodes. This is advantageous in comparison with the case of using transistors because the number of wiring lines and the occupation area of the circuit can be reduced.

[Embodiment 4]

Fig. 9 shows a circuit diagram of a driver built-in type active matrix panel according to the fourth

embodiment of the present invention. A characteristic feature of this embodiment is that drivers are disposed symmetrically and each scan or data line can be driven with two drivers for the purpose of redundancy. That is, in this embodiment, even when an output of a driver is defective, if the output of the opposite driver for the same address is non-defective, the defective portion can be cut off by laser repair or the like so as to obtain a good product. According to this embodiment, because such repair is possible, the yield is considerably improved. Reference numeral 121 denotes a pixel area, 122 and 123 do upper and lower X drivers, 124 and 125 do upper and lower X driver output check circuits, 124 and 125 do left and right Y drivers, and 126 and 127 do left and right Y driver output check circuits. The upper and lower drivers with the check circuits for them and the left and right drivers with the check circuits for them are disposed symmetrically. Besides, in this embodiment, since the check circuits are provided on the upper and lower sides and the left and right sides of the pixel area, a wire breaking or a short circuit in the pixel area can also be checked and that address can be found from a signal timing.

[Effect of the Invention]

As described above, according to a driver built-in type active matrix panel of the present invention, check can efficiently be performed in the state of

substrate before assembling the panel. Thus the working time can be shortened and the product cost can be reduced. Besides, when it has redundancy, repair is possible so the yield is considerably improved. That is, the cost can be reduced more. In particular, as for bit error in drivers, the possibility of the drivers at both sides having errors for the same address is very little, so repair is possible in most cases.

Besides, according to a driver built-in type active matrix panel of the present invention, not only check of the drivers but also check for a defective portion in the pixel area is possible. For example, if a data line short-circuits with a scan line, the address can definitely be found from an output timing of a check circuit. Besides, when the pixel area is provided with output check circuits on both sides, checking as to whether or not there is a wire breaking in the scan and data lines is also possible.